

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-259893

(43)公開日 平成5年(1993)10月8日

(51)Int.Cl.<sup>5</sup>

H03K 19/096

識別記号

庁内整理番号

FI

技術表示箇所

B 8941-5J

審査請求 未請求 請求項の数2(全10頁)

(21)出願番号

特願平3-56867

(22)出願日

平成3年(1991)3月20日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 古木 勝也

東京都港区芝五丁目7番1号日本電気株式会社内

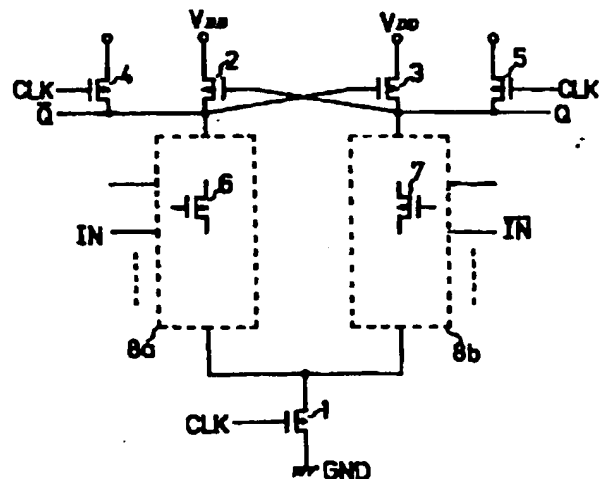
(74)代理人 弁理士 熊谷 雄太郎

(54)【発明の名称】 半導体集積回路

(57)【要約】

【目的】 CMOSダイナミック半導体集積回路において、インバータなしでも、リーク電流による誤動作及びカスコード接続したときの誤動作を防止し、高集積化、動作の高速化を計る。

【構成】 出力のラッチ用としてMOSTランジスタ2、3を各ゲート、ドレインをたすきがけに接続して設けると共に、出力のアリチャージ用としてMOSTランジスタ4、5を設ける。クロック信号CLKが“Low”レベルのときにはMOSTランジスタ1は“OFF”、MOSTランジスタ4、5は“ON”となるので、出力Q、 $\bar{Q}$ は“High”レベルにアリチャージされる。クロック信号CLKが“High”レベルに変化すると、MOSTランジスタ1は“ON”、MOSTランジスタ4、5は“OFF”となる。この時、入力信号IN、 $\bar{IN}$ の状態により、MOSTランジスタ群の一方は出力とGND電位間を導通状態にし、出力電位を“Low”レベルにする。



1, 4, 7: 第1の導電型MOSトランジスタ  
2, 3, 4, 5: 第2の導電型MOSトランジスタ  
8a, 8b: 第1の導電型MOSトランジスタ群

1

## 【特許請求の範囲】

【請求項1】 ソース電極が第1の基準電位に接続されゲート電極が動作状態を制御するクロック信号に接続される第1の導電形の第1のMOSTランジスタと、ソース電極が第2の基準電位に接続されゲート電極が第1の出力電位を出力する第1の出力端子に接続されドレイン電極が前記第1の出力電位と論理的に反対の第2の出力電位を出力する第2の出力端子に接続される第2の導電形の第2のMOSTランジスタと、ソース電極が前記第2の基準電位に接続されゲート電極が前記第2の出力端子に接続されドレイン電極が前記第1の出力電位に接続される第2の導電形の第3のMOSTランジスタと、ソース電極が前記第2の基準電位に接続されゲート電極が前記クロック信号に接続されドレイン電極が前記第2の出力端子に接続される第2の導電形の第4のMOSTランジスタと、ソース電極が前記第2の基準電位に接続されゲート電極が前記クロック信号に接続されドレイン電極が前記第1の出力端子に接続される第2の導電形の第5のMOSTランジスタと、前記第1のMOSTランジスタのドレイン電極と前記第2の出力端子との間に配置されゲート電極が第1の入力信号群に接続される第1の導電形の第6のMOSTランジスタを少なくとも1個含み前記第6のMOSTランジスタのソース電極またはドレイン電極が直並列接続されている第1のMOSTランジスタ群と、前記第1のMOSTランジスタのドレイン電極と前記第1の出力端子との間に配置されゲート電極が前記第1の入力信号群と論理的に反対の第2の入力信号群に接続される第1の導電形の第7のMOSTランジスタを少なくとも1個含み前記第7のMOSTランジスタのソース電極またはドレイン電極が直並列に接続されている第2のMOSTランジスタ群とを備えることを特徴とする半導体集積回路。

【請求項2】 前記第4、第5のMOSTランジスタを、第2の導電形のMOSTランジスタの代わりに第1の導電形のMOSTランジスタにしたことを更に特徴とする半導体集積回路。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路に関し、特に、CMOSダイナミック半導体集積回路に関する。

【0002】

【従来の技術】 従来の半導体集積回路は、図3に示すように動作状態を制御するクロック信号が入力されるNMOSTランジスタ9、2個のPMOSTランジスタ10a、10b、入力信号により論理を決定するNMOSTランジスタ群11a、11b、2個のインバータ12a、12b、ダイナミックノードのリーク電流による誤動作防止のための2個のPMOSTランジスタ13a、13bを有している（カスケード・ボルテージ・スイッ

2

ク・ファミリ（Cascode Voltage Switch Logic: A Differential Logic Family, ISSCC' 84, P16～17）。

【0003】 クロック信号CLKが“Low”レベルのときにはNMOSTランジスタ9は“OFF”、PMOSTランジスタ10a、10bは“ON”状態のために、ノードN1、N2は“High”レベルにプリチャージされる。このとき出力Q、出力Qの反転出力-Qはインバータ12a、12bにより“Low”レベルになる。クロック信号CLKが“High”レベルに変化すると、NMOSTランジスタ9は“ON”、PMOSTランジスタ10a、10bは“OFF”になる。このとき、入力信号の論理レベルにしたがい、NMOSTランジスタ群11a、11bにより、ノードN1、N2の一方は“Low”レベルとなる。

【0004】 ここでノードN1が“High”レベルを保持し、ノードN2が“Low”レベルに変化したとすると、インバータ12bにより反転出力-Qは“High”レベルに変化する。出力Qは“Low”レベルのままである。ここでノードN1はPMOSTランジスタ13aが“ON”のために、リーク電流などによる電位低下を防止されている。

【0005】 次に以上説明した半導体集積回路をカスケード接続した場合を考える。クロック信号が“Low”レベルのときには上述したように、出力Q、-Qは“Low”レベルになっている。従って、この出力を入力している次段の各NMOSTランジスタ群11a、11bは全て“OFF”状態である。クロック信号が“High”レベルに変化し、前段の論理動作が終了し、出力レベルが決定するとNMOSTランジスタ群の11a、11bの一方は“ON”に変化し、論理動作を開始する。

【0006】 ここでインバータ12a、12bがない場合を考える。クロック信号が“Low”レベルのときには次段の各NMOSTランジスタ群11a、11bは“ON”状態である。ここでクロック信号が“High”レベルに変化すると、各段の出力Q、-Qはそれぞれ“Low”レベルへの変化を開始する。この後、前段の出力レベルが決定し、NMOSTランジスタ群11a、11bの一方が“OFF”状態になったとしても、出力Q、-Qは“Low”レベルのままとなり、誤動作することになる。

【0007】 つまりインバータ12a、12bは誤動作防止、リーク電流防止のために必要である。

【0008】

【発明が解決しようとする課題】 従来の半導体集積回路では、カスケード接続するときの誤動作防止、リーク電流による誤動作防止のために、インバータを必要とする。従って、カスケード接続したときに動作速度が遅く

った。

【0009】本発明は従来の上記実情に鑑みてなされたものであり、従って本発明の目的は、従来の技術に内在する上記課題を解決することを可能とした新規な半導体集積回路を提供することにある。

【0010】

【課題を解決するための手段】上記目的を達成するために、本発明に係る半導体集積回路は、ソース電極がGND電位に接続されゲート電極が動作状態を制御するクロック信号に接続される第1の導電形の第1のMOSTランジスタと、ソース電極がV<sub>DD</sub>電位に接続されゲート電極が第1の出力電位を出力する第1の出力端子に接続されドレイン電極が第1の出力電位と論理的に反対の第2の出力電位を出力する第2の出力端子に接続される第2の導電形の第2のMOSTランジスタと、ソース電極がV<sub>DD</sub>電位に接続されゲート電極が第2の出力端子に接続されドレイン電極が第1の出力電位に接続される第2の導電形の第3のMOSTランジスタと、ソース電極がV<sub>DD</sub>電位に接続されゲート電極がクロック信号に接続されドレイン電極が第2の出力端子に接続される第2の導電形の第4のMOSTランジスタと、ソース電極がV<sub>DD</sub>電位に接続されゲート電極がクロック信号に接続されドレイン電極が第1の出力端子に接続される第2の導電形の第5のMOSTランジスタと、第1のMOSTランジスタのドレイン電極と第2の出力端子との間に配置されゲート電極が第1の入力信号群に接続される第1の導電形の第6のMOSTランジスタを少なくとも1個含み第6のMOSTランジスタのソース電極またはドレイン電極が直並列接続されている第1のMOSTランジスタ群と、第1のMOSTランジスタのドレイン電極と第1の出力端子との間に配置されゲート電極が第1の入力信号群と論理的に反対の第2の入力信号群に接続される第1の導電形の第7のMOSTランジスタを少なくとも1個含み第7のMOSTランジスタのソース電極またはドレイン電極が直並列に接続されている第2のMOSTランジスタ群とを備えて構成される。

【0011】

【実施例】次に、本発明をその好ましい一実施例について図面を参照して具体的に説明する。

【0012】図1は本発明による第1の実施例を示す回路構成図である。

【0013】図1を参照するに、1は第1のMOSTランジスタ、2は第2のMOSTランジスタ、3は第3のMOSTランジスタ、4は第4のMOSTランジスタ、5は第5のMOSTランジスタ、6は第6のMOSTランジスタ、7は第7のMOSTランジスタ、8a、8bはMOSTランジスタ群をそれぞれ示す。第2、第3のMOSTランジスタ2、3は出力のラッチ用のものであり、それぞれ各ゲートとドレインがたすきがけに接続さ

力のプリチャージ用として使用される。

【0014】クロック信号CLKが“Low”レベルの時には第1のMOSTランジスタ1は“OFF”、第4、第5のMOSTランジスタ4、5は“ON”となるので、出力Q、-Qは“High”レベルにプリチャージされる。クロック信号CLKが“High”レベルに変化すると、第1のMOSTランジスタは“ON”、第4、第5のMOSTランジスタ4、5は“OFF”となる。この時、入力信号IN、-INの状態により、MOSTランジスタ群の一方は出力とGND電位間を導通状態にし、出力電位を“Low”レベルにする。

【0015】この一連の動作を図2のタイミングチャートに示す。ここで、クロック信号が“High”レベルになり、出力Qが“Low”レベルに変化し、出力-Qが“High”レベルを保持する場合を考える。

【0016】第2のMOSTランジスタ2のゲート電極は出力Qで“Low”レベルのために、“ON”となり、出力-Qを“High”レベルに保つ。このために、リーク電流による誤動作を防止することが出来る。

【0017】図1に示された第1の実施例の変形として、第4、第5のMOSTランジスタ4、5をPチャネル型からNチャネル型トランジスタに変更することができる。

【0018】次に本発明の半導体集積回路をカスケード接続した場合を考える。クロック信号CLKが“Low”レベルのときには、入力信号は前段の出力Q、-Qが“High”レベルのために、全て“High”レベルで、MOSTランジスタ群8a、8bは“ON”状態である。クロック信号CLKが“High”レベルに変化すると、出力Q、-Qはそれぞれ“Low”レベルへの変化を開始する。ただし、クロック信号CLK及び入力信号が全て“High”レベルのときに、出力Q、-Qのレベルは、第1、第2、第3のMOSTランジスタ1、2、3及びMOSTランジスタ群8a、8bの抵抗比で決定されるレベルとなるので、“High”レベルと“Low”レベルとの中間のレベルまでしか低下しない。

【0019】また入力信号が決定されれば一方のMOSTランジスタ群（例えば8a）が“OFF”状態になり、第2のMOSTランジスタ2により出力-Qは“High”レベルとなる。このとき第3のMOSTランジスタ3は“OFF”となるので出力Qは完全に“Low”レベルとなる。

【0020】図3は本発明による第2の実施例を示す回路構成図である。

【0021】図3を参照するに、参照符号1～8は図1に示した第1の実施例の参照符号1～8と同様のトランジスタであり、13a、13b、14は第1のMOSTランジスタ1と同じ導電形のMOSTランジスタであ

OSTランジスタ14、第1のMOSTランジスタ1は“OFF”となり、出力Q、 $\bar{Q}$ は“High”レベルにプリチャージされる。クロック信号CLKが“High”レベルに変化すると、MOSTランジスタ1、14は“ON”となり、第2のMOSTランジスタ2とMOSTランジスタ13a、及び第3のMOSTランジスタ3とMOSTランジスタ13bはそれぞれ互いの出力を入力とするインバータとなる。従って、出力Q、 $\bar{Q}$ の一方が“Low”レベルに変化するのを高速に検出することができ、出力Q、 $\bar{Q}$ のレベルの確定が高速になる。

#### 【0022】

【発明の効果】以上説明したように、本発明によれば、インバータなしでも、リーク電流による誤動作、カスケード接続したときの誤動作を防止することができ、高集積、高速化できるという効果が得られる。

【0023】従来の半導体集積回路ではN段カスケード接続された場合の遅延は1段の遅延を $t_{pd1}$ とすると $t_{pd1} \times N$ となる。しかるに、本発明では、2段目以降は上述したように、クロック信号が“High”レベルになるとそれぞれ中間レベルへの動作を開始するために、1段目の遅延量を $t_{pd2}$ とすると、2段目以降の遅延量は $t_{pd3}$  ( $< t_{pd2}$ ) となる。したがって、N段の遅延量は $t_{pd2} + t_{pd3} \times (N-1)$ となる。本発明においては $t_{pd3} < t_{pd2} < t_{pd1}$ のために、従来より非常に高速である。

#### 【図面の簡単な説明】

【図1】本発明による第1の実施例を示す回路構成図で

ある。

【図2】図1に示された第1の実施例のタイミングチャートである。

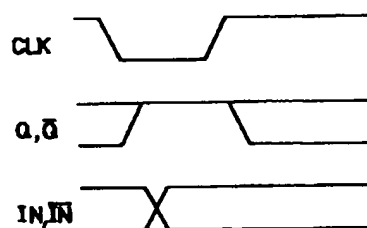
【図3】本発明による第2の実施例を示す回路構成図である。

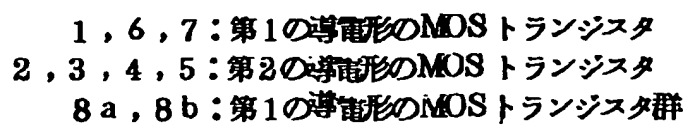
【図4】従来におけるこの種の半導体集積回路の回路図である。

#### 【符号の説明】

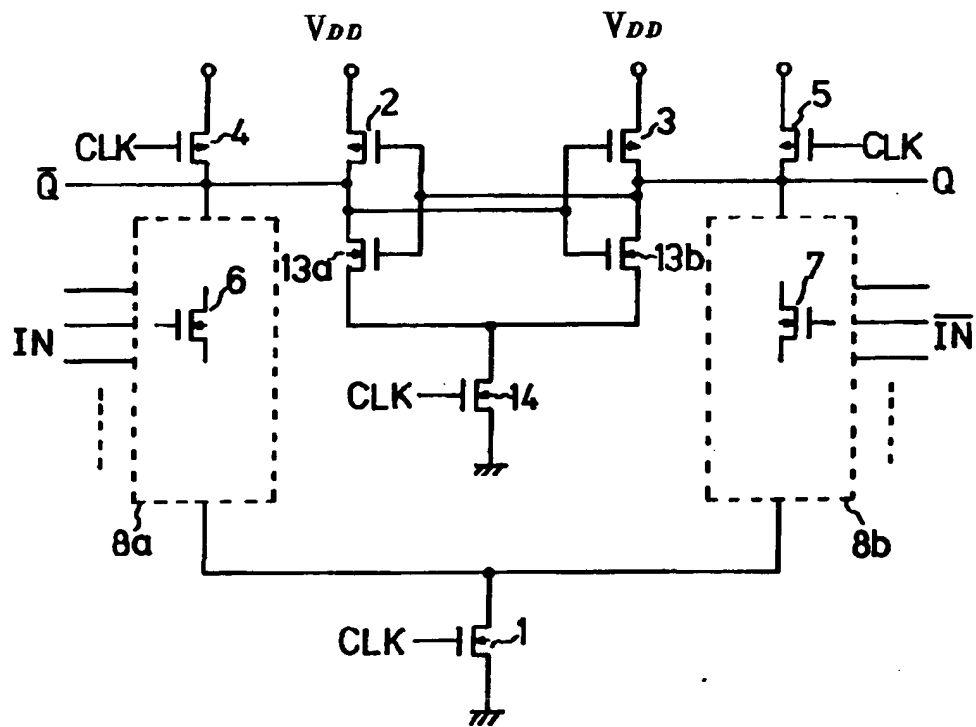
- 1…第1の導電形のMOSTランジスタ
- 2…第2の導電形のMOSTランジスタ
- 3…第2の導電形のMOSTランジスタ
- 4…第2の導電形のMOSTランジスタ
- 5…第2の導電形のMOSTランジスタ
- 6…第1の導電形のMOSTランジスタ
- 7…第1の導電形のMOSTランジスタ
- 8a…第1の導電形のMOSTランジスタ群
- 8b…第1の導電形のMOSTランジスタ群
- 9…NMOSTランジスタ
- 10a…PMOSTランジスタ
- 10b…PMOSTランジスタ
- 11a…NMOSTランジスタ群
- 11b…NMOSTランジスタ群
- 12a…インバータ
- 12b…インバータ
- 13a…MOSTランジスタ
- 13b…MOSTランジスタ
- 14…MOSTランジスタ

【図2】



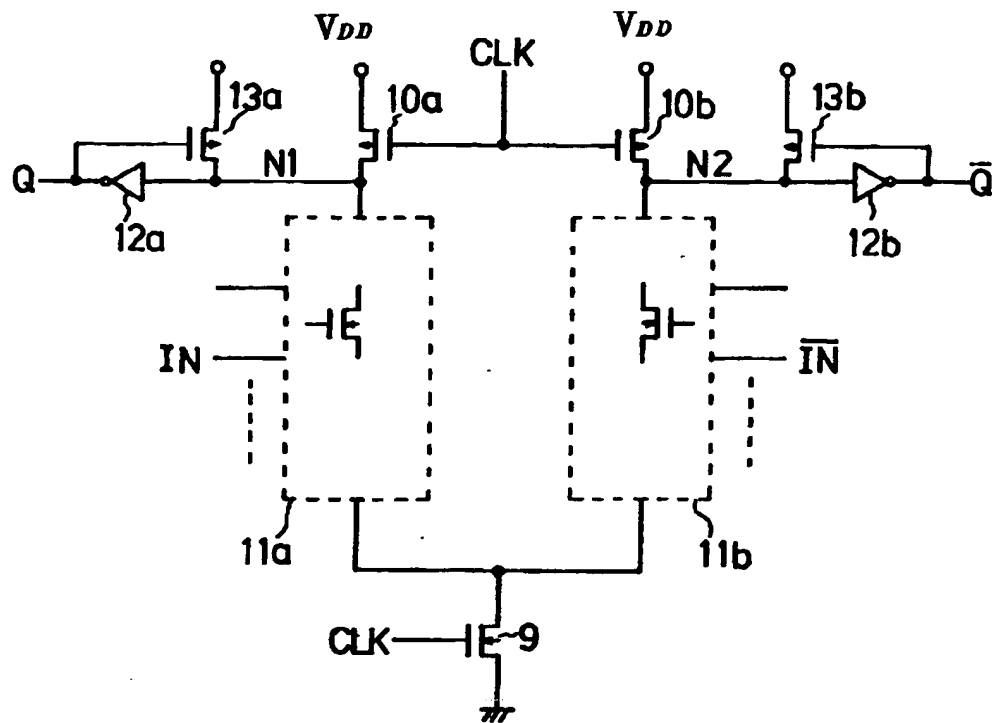


【図3】



13a, 13b, 14: MOS トランジスタ

【図4】



9: NMOSトランジスタ  
 10a, 10b, 13a, 13b : PMOSトランジスタ  
 11a, 11b : NMOSトランジスタ群  
 12a, 12b : インバータ

【手続補正書】

【提出日】平成5年3月8日

【手続補正1】

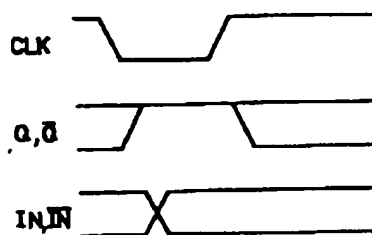
【補正対象書類名】図面

【補正対象項目名】全図

【補正方法】変更

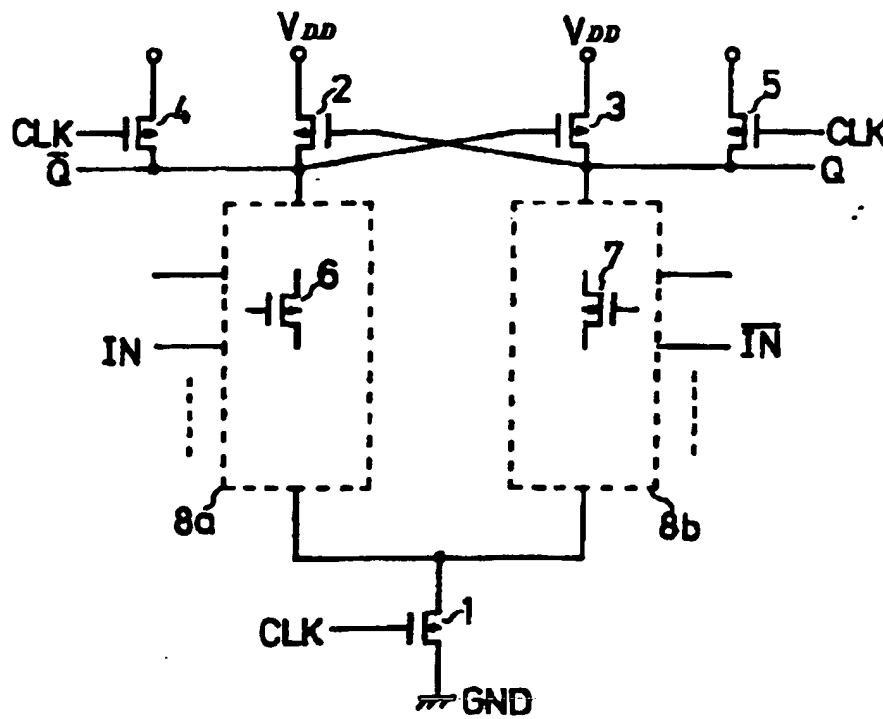
【補正内容】

【図2】





【図1】

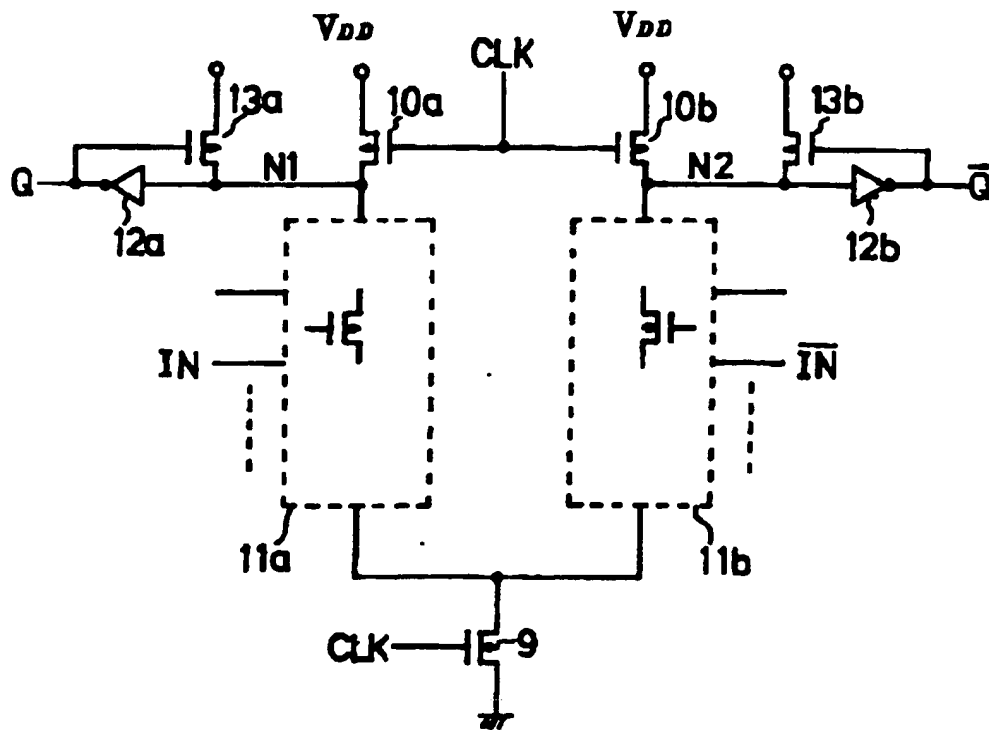


- 1, 6, 7: 第1の導電形のMOSトランジスタ  
 2, 3, 4, 5: 第2の導電形のMOSトランジスタ  
 8a, 8b: 第1の導電形のMOSトランジスタ群

[illegible]

13a, 13b, 14: MOS トランジスタ

【図4】



9: NMOSトランジスタ

10a, 10b, 13a, 13b : PMOSトランジスタ

11a, 11b : NMOSトランジスタ群

12a, 12b : インバータ

CLIPPEDIMAGE= JP405259893A  
PAT-NO: JP405259893A  
DOCUMENT-IDENTIFIER: JP 05259893 A  
TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT

PUBN-DATE: October 8, 1993

INVENTOR-INFORMATION:  
NAME  
FURUKI, KATSUYA

ASSIGNEE-INFORMATION:  
NAME  
NEC CORP

COUNTRY  
N/A

APPL-NO: JP03056867  
APPL-DATE: March 20, 1991

INT-CL\_(IPC): H03K019/096  
US-CL-CURRENT: 326/98

ABSTRACT:

PURPOSE: To attain high circuit integration and to quicken the operation by allowing a CMOS dynamic semiconductor integrated circuit to prevent malfunction due to a leak current and malfunction in the cascode connection even without an inverter.

CONSTITUTION: The circuit is provided with MOS transistors(TRs) 2, 3 whose gates and drains are in cross connection for an output latch and with MOS TRs 4, 5 for output precharge. Since the MOS TR 1 is turned off, the MOS TRs 4, 5 are turned on when a clock signal CLK is at a low level, outputs Q, inverse of Q are precharged to a high level. When the clock signal CLK changes to a high level, the MOS TR 1 is turned on and the MOS TRs 4, 5 are turned off. In this case, one of MOS TR groups makes the output and a GND potential conductive to set an output potential to a low level depending on the

state of input signals  
IN and inverse of IN.

COPYRIGHT: (C)1993,JPO&Japio